

DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

009421075 **Image available**

WPI Acc No: 1993-114589/ 199314

XRAM Acc No: C93-131107

XRFX Acc No: N93-227795

Forming quantum device - comprises using laser single crystallisation step to form quantum wires with reduced defects and electron scattering

Patent Assignee: MATSUSHITA ELEC IND CO LTD (MATU)

Inventor: HIRAI Y; MORIMOTO K; NIWA M; OKADA K; TERUI Y; WADA A; YASUI J

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5055545	A	19930305	JP 91215204	A	19910827	199314 B
US 5244828	A	19930914	US 92934953	A	19920825	199338

Priority Applications (No Type Date): JP 91215204 A 19910827

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 5055545	A	4	H01L-029/06	
------------	---	---	-------------	--

US 5244828	A	8	H01L-021/20	
------------	---	---	-------------	--

Abstract (Basic): US 5244828 A

Fabricating a quantum device comprises (a) forming a quantum dot having side faces on a first insulating layer (b) forming a second insulating layer which can function as a tunnel film on at least the side faces of the quantum dot (c) depositing a non-crystal semiconductor layer on the first insulating layer to cover the dot (d) removing at least part of the non-crystal layer which is positioned above the dot (e) single crystallising a predetermined part of the non-crystal layer which is in contact with the second insulating layer (f) forming a quantum wire which includes the single crystallised semiconductor portion and the quantum dot on the first insulating layer.

Also claimed is the method in which the quantum wire is formed before the single-crystallising step followed by single-crystallising a non-crystal part of the quantum wire. Also claimed are the methods (I) and (II) in which the quantum dot is a quantum wire.

ADVANTAGE - The method provides a quantum device with reduced crystal defects in the quantum wire, and electron scattering in the quantum wire is reduced. (First major country equivalent to J05055545-A)

Dwg.1A-1H/

3

Abstract (Equivalent): US 5244828 A

Fabricating a quantum device comprises (a) forming a quantum dot having side faces on a first insulating layer (b) forming a second insulating layer which can function as a tunnel film on at least the side faces of the quantum dot (c) depositing a non-crystal semiconductor layer on the first insulating layer to cover the dot (d) removing at least part of the non-crystal layer which is positioned above the dot (e) single crystallising a predetermined part of the non-crystal layer which is in contact with the second insulating layer (f) forming a quantum wire which includes the single crystallised semiconductor portion and the quantum dot on the first insulating layer.

Also claimed is the method in which the quantum wire is formed before the single-crystallising step followed by single-crystallising a non-crystal part of the quantum wire. Also claimed are the methods (I) and (II) in which the quantum dot is a quantum wire.

ADVANTAGE - The method provides a quantum device with reduced crystal defects in the quantum wire, and electron scattering in the quantum wire is reduced. (First major country equivalent to J05055545-A)

(Dwg.1A-1H

/ 3)

Title Terms: FORMING; QUANTUM; DEVICE; COMPRISE; LASER; SINGLE; CRYSTAL;

STEP; FORM; QUANTUM; WIRE; REDUCE; DEFECT; ELECTRON; SCATTERING

Derwent Class: L03; U11; U12; V08

International Patent Class (Main): H01L-021/20; H01L-029/06

File Segment: CPI; EPI

Manual Codes (CPI/A-N): L04-C07; L04-C10B; L04-C13

Manual Codes (EPI/S-X): U11-C01J6; U12-D02K; U12-E01B2; U12-A01B1B;

U12-A01B2; V08-A04A

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-55545

(43) 公開日 平成5年(1993)3月5日

(51) Int.Cl.⁵
H 0 1 L 29/06

識別記号 庁内整理番号
7377-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 5 (全 4 頁)

(21) 出願番号 特願平3-215204

(22) 出願日 平成3年(1991)8月27日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 岡田 健治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 照井 康明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 安井 十郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 小鍛冶 明 (外2名)

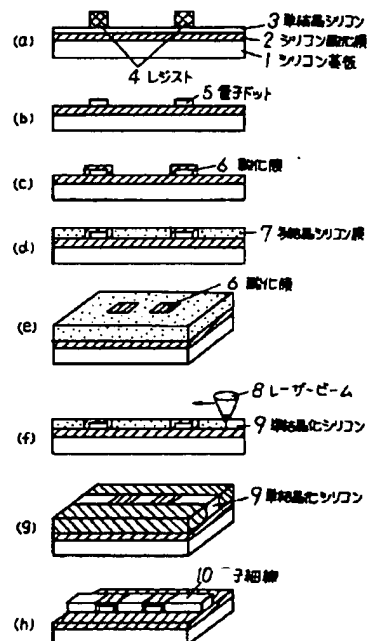
最終頁に続く

(54) 【発明の名称】 量子素子の製造方法

(57) 【要約】

【目的】 量子細線及び絶縁膜を介してこれらに挟まれた量子ドットよりなる量子素子の製造方法を提供する。

【構成】 シリコン基板1、シリコン酸化膜2、単結晶シリコン3上に、所定の形状を有するレジスト4を形成する。単結晶シリコン3のエッチングを行ない、量子ドット5を形成する。熱酸化を行ない、量子ドット5の周辺に酸化膜6を形成する。多結晶シリコン膜7を堆積し、エッチバックを行なう。レーザービーム8により、多結晶シリコン膜7の所定の領域を単結晶化し、単結晶化シリコン9を得る。最後に、多結晶シリコン膜7および単結晶化シリコン9を所定の形状にエッチングを行ない、量子細線10を得る。



1

【特許請求の範囲】

【請求項1】絶縁膜上に形成された単結晶シリコン基板上にシリコンよりなる量子ドットを形成する第1の工程と、前記量子ドットの周辺を酸化する第2の工程と、これに多結晶シリコン膜を堆積する第3の工程と、前記多結晶シリコン膜を所定の形状にエッチングする第4の工程と、前記多結晶シリコン膜の所定の部分を単結晶化する第5の工程を含むことを特徴とする量子素子の製造方法。

【請求項2】絶縁膜上に形成された単結晶シリコン基板上にシリコンよりなる量子ドットを形成する第1の工程と、前記量子ドットの周辺を酸化する第2の工程と、これに多結晶シリコン膜を堆積する第3の工程と、前記多結晶シリコン膜の所定の部分を単結晶化する第4の工程と、前記多結晶シリコン膜および前記単結晶化された多結晶シリコン膜を所定の形状にエッチングする第5の工程を含むことを特徴とする量子素子の製造方法。

【請求項3】絶縁膜上に形成された単結晶シリコン基板上にシリコンよりなる量子細線を形成する第1の工程と、量子細線の周辺を酸化する第2の工程と、これに多結晶シリコン膜を堆積する第3の工程と、前記多結晶シリコン膜、前記酸化膜、前記量子細線を所定の形状にエッチングする第4の工程と、前記多結晶シリコン膜の所定の部分を単結晶化する第5の工程を含むことを特徴とする量子素子の製造方法。

【請求項4】絶縁膜上に形成された単結晶シリコン基板上にシリコンよりなる量子細線を形成する第1の工程と、前記量子細線の周辺を酸化する第2の工程と、これに多結晶シリコン膜を堆積する第3の工程と、前記多結晶シリコン膜の所定の部分を単結晶化する第4の工程と、前記多結晶シリコン膜、前記酸化膜、前記量子細線を所定の形状にエッチングする第5の工程を含むことを特徴とする量子素子の製造方法。

【請求項5】多結晶シリコンの所定の部分を単結晶化する方法としてレーザーアニール法を用いることを特徴とする請求項1、2、3または4いずれか1項記載の量子素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は量子素子の製造方法に関するものである。

【0002】

【従来の技術】近年、半導体デバイスの進歩により、高集積化、デザインルールの微細化が進んでいる。このような微細化の進行により、従来のトランジスタ構造とは異なる、新たな素子構造の開発の必要性が高まっている。このような新規素子として量子効果を利用したデバイスが検討されてきている。（電子情報通信学会誌Vol. 72, No12, pp1387~1391, 1989年12月参照）量子効果を引き起こすためには電子の波長程度のオーダーの寸法を持

2

つドットもしくは細線の形成技術が必要とされる。

【0003】本発明のような構造をもつ量子素子については現在提案されておらず、ここでは全く新しい構造の量子素子を提案するものである。

【0004】

【発明が解決しようとする課題】本発明は量子細線での電子散乱の少ない量子素子を、容易に形成することのできる製造方法を提供するものである。

【0005】

【課題を解決するための手段】本発明の半導体装置の製造方法は、絶縁膜上に形成された単結晶シリコン基板上にシリコンよりなる量子ドットを形成する第1の工程と、前記量子ドットの周辺を酸化する第2の工程と、これに多結晶シリコン膜を堆積する第3の工程と、前記多結晶シリコン膜を所定の形状にエッチングする第4の工程と、前記多結晶シリコン膜の所定の部分を単結晶化する第5の工程を含む量子素子の製造方法である。

【0006】また、絶縁膜上に形成された単結晶シリコン基板上にシリコンよりなる量子ドットを形成する第1の工程と、前記量子ドットの周辺を酸化する第2の工程と、これに多結晶シリコン膜を堆積する第3の工程と、前記多結晶シリコン膜の所定の部分を単結晶化する第4の工程と、前記多結晶シリコン膜および前記単結晶化された多結晶シリコン膜を所定の形状にエッチングする第5の工程を含む量子素子の製造方法である。

【0007】また、絶縁膜上に形成された単結晶シリコン基板上にシリコンよりなる量子細線を形成する第1の工程と、量子細線の周辺を酸化する第2の工程と、これに多結晶シリコン膜を堆積する第3の工程と、前記多結晶シリコン膜、前記酸化膜、前記量子細線を所定の形状にエッチングする第4の工程と、前記多結晶シリコン膜の所定の部分を単結晶化する第5の工程を含む量子素子の製造方法である。

【0008】さらに、絶縁膜上に形成された単結晶シリコン基板上にシリコンよりなる量子細線を形成する第1の工程と、前記量子細線の周辺を酸化する第2の工程と、これに多結晶シリコン膜を堆積する第3の工程と、前記多結晶シリコン膜の所定の部分を単結晶化する第4の工程と、前記多結晶シリコン膜、前記酸化膜、前記量子細線を所定の形状にエッチングする第5の工程を含む量子素子の製造方法である。

【0009】

【作用】本発明は上記した構成、すなわち多結晶シリコンにレーザービームを照射することにより結晶欠陥の非常に少ない、量子細線を形成することにより、量子細線での電子散乱が少ない、量子素子の製造が可能となる。

【0010】

【実施例】以下本発明の実施例の量子素子の製造方法について、図面を参照しながら説明する。

【0011】以下、図面を参照しながら量子素子の形成

3

プロセスの一例について説明する。図1は本発明の第1の実施例における量子素子の製造方法を示すものである。図1において、1はシリコン基板、2はシリコン酸化膜、3は単結晶シリコン、4はレジスト、5は量子ドット、6は酸化膜、7は多結晶シリコン膜、8はレーザービーム、9は単結晶シリコン、10は量子細線である。図1(h)に示すように本発明による量子素子の構成は、シリコン基板1上に形成したシリコン酸化膜2を介して量子細線10が形成され、そして量子細線と量子細線の間には、シリコン酸化膜で覆われた量子ドット5が形成されているというものである。この量子素子の動作を説明すると、2つのシリコン酸化膜に挟まれた量子ドットの幅が狭くなると、量子ドット5の量子細線の一方から流れてきた電子の中で、量子ドット5中の電子とポテンシャルの合うものだけが酸化膜のポテンシャル障壁を通り抜ける(共鳴トンネル効果)ので、この効果をデバイスに応用するものである。

【0012】以上のように構成された量子素子の製造方法について、以下その製造方法について説明する。

【0013】図1(a)においては、シリコン基板1、シリコン酸化膜2、単結晶シリコン3上に、所定の形状を有するレジスト4が形成されている。図1(b)において、単結晶シリコン3のエッチングを行ない、量子ドット5を形成する。図1(c)において、熱酸化を行ない、量子ドット5の周辺に酸化膜6を形成する。図1(d)、(e)において多結晶シリコン膜7を堆積し、エッチバックを行なう。図1(f)、(g)において、レーザービーム8により、多結晶シリコン膜7の所定の領域を単結晶化し、単結晶化シリコン9を得る。図1(h)において多結晶シリコン膜7および単結晶化シリコン9を所定の形状にエッチングを行ない、量子細線10を得る。

【0014】本実施例においてはCVD法により多結晶シリコン膜7を堆積するため、酸化膜6と多結晶シリコン膜7との界面は、緻密でかつ、結晶欠陥を少なく作製可能である。さらに、レーザービーム8により単結晶化することにより、さらに結晶欠陥を減少させ、電子散乱確率を低減することが可能である。また、酸化膜6に多結晶シリコン膜7を堆積することによっても酸化膜6は還元されず、トンネル酸化膜厚は変化せず、量子ドット5毎の寸法バラツキは最小限に抑えられる。量子素子においてはその寸法バラツキにより電子のバンド構造自体が変化し、その動作特性に影響を及ぼす。したがって、素子として利用する場合には寸法精度を高める必要があり、本発明により可能である。

【0015】なお、本実施例において、多結晶シリコン膜7を単結晶化させる方法としてレーザービームを照射するレーザーアニール方法を用いたが、これに代えて電子ビームを用いる方法やFIB(Focused Ion Beam)のようにイオンビームを利用する方法を用いることも可能である。

4

【0016】図2は本発明の第2の実施例における量子素子の製造方法を示すものである。図2において、1はシリコン基板、2はシリコン酸化膜、5は量子ドット、6は酸化膜、7は多結晶シリコン膜、8はレーザービーム、9は単結晶化シリコン、10は量子細線である。その構成は第1の実施例と同じである。

【0017】以下、図2を用いて量子素子の製造方法について、その製造方法について説明する。

【0018】図2(a)においては、シリコン基板1、シリコン酸化膜2上に所定の形状を有する、単結晶シリコンよりなる量子細線10が形成されている。図2(b)においては、熱酸化処理を行ない、量子細線10の周辺に酸化膜6を形成する。図2(c)において、熱酸化を行ない、量子細線10の周辺に酸化膜6を形成する。図2(d)(e)において多結晶シリコン膜7を堆積、平坦化後、レーザービーム8により、多結晶シリコンの所定の領域を単結晶化する。図2(f)において、所定の細線形状にエッチングし、量子ドット5および量子細線10、酸化膜6よりなる量子素子を得る。

【0019】本実施例においてはCVD法により多結晶シリコン膜7を堆積するため、酸化膜6と多結晶シリコン膜7との界面は、緻密でかつ、結晶欠陥を少なく作製可能である。さらに、レーザービーム8により単結晶化することにより、量子細線の結晶欠陥を減少させ、電子散乱確率を低減することが可能である。また、酸化膜6に多結晶シリコン膜7を堆積することによっても酸化膜6は還元されないから酸化膜厚は、変化せず、量子ドット5毎の寸法バラツキは最小限に抑えられる。量子素子においてはその寸法バラツキにより電子のバンド構造自体が変化し、その動作特性に影響を及ぼす。したがって、素子として利用する場合には寸法精度を高める必要があり、本発明により可能である。

【0020】なお、本第2の実施例は第1の実施例と同様に、多結晶シリコン膜7を単結晶化させる方法としてレーザービームを照射するレーザーアニール方法を用いたが、これに代えて電子ビームを用いる方法やFIB(Focused Ion Beam)のようにイオンビームを利用する方法を用いることも可能である。

【0021】第2の実施例で第1の実施例と異なる点は多結晶シリコンをレーザービームで照射する方法が違う。第1の実施例では多結晶シリコンを量子細線にしたいところだけレーザーを照射するのに対して、第2の実施例では多結晶シリコンを広範囲に渡って照射して単結晶化してから、エッチングして量子細線とするところである。

【0022】従って、本実施例においては第1の実施例よりも、素子を高密度に作製することが可能であり、また、レーザービームによる単結晶化を複数素子にわたって同時に行なうことが可能である点において優れている。

50 【0023】

5

6

【発明の効果】以上のように本発明は、結晶欠陥の非常に少ない量子細線を形成することにより、量子細線での電子散乱が少なく、量子ドットの酸化膜厚さ変化の少ないため特性のばらつきの小さい量子素子が得られ、その実用効果は大きい。

【図面の簡単な説明】

【図1】本発明の第1の実施例における量子素子の製造方法を示す工程図

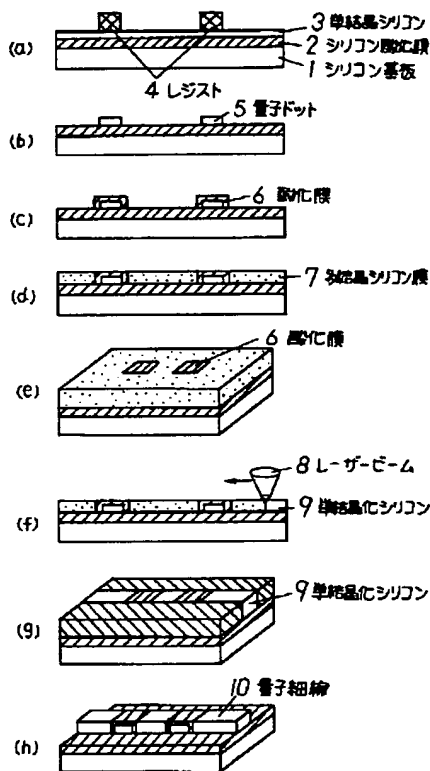
【図2】本発明の第2の実施例における量子素子の製造方法を示す工程斜視図

【符号の説明】

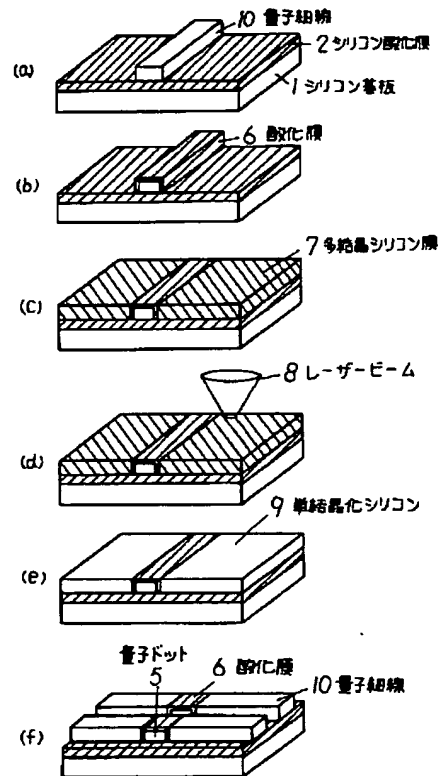
1 シリコン基板

2 シリコン酸化膜
3 単結晶シリコン
4 レジスト
5 量子ドット
6 酸化膜
7 多結晶シリコン膜
8 レーザービーム
9 単結晶化シリコン
10 量子細線
11 アルミニウム系合金膜
12 細線部

【図1】



【図2】



フロントページの続き

(72)発明者 平井 義彦
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 丹羽 正昭
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 和田 敦夫
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 森本 康
大阪府門真市大字門真1006番地 松下電器
産業株式会社内